

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-077731

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H04N 5/335
H01L 27/146
H04N 5/232
// H04N101:00

(21)Application number : 2000-256356

(71)Applicant : CANON INC

(22)Date of filing : 25.08.2000

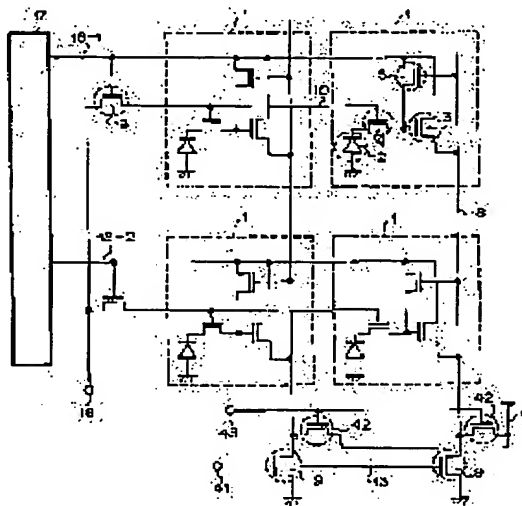
(72)Inventor : SHINOHARA MASATO

(54) SOLID-STATE IMAGE PICKUP DEVICE AND IMAGE PICKUP SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the numbers of MOS transistors and gate potential control lines constituting the pixels of a solid-state image pickup device.

SOLUTION: The solid-state image pickup device has pixels each containing a photoelectric conversion section 2, a read-out means 3 which reads out signals from the conversion section 2, and a reset means 5 which supplies a reset signal to the input section of the read-out means 3 for resetting the input section and an output line 8 through which the signals from the read-out means 3 are read out. The reset means 5 is controlled according to the signal level of the output line 8.



LEGAL STATUS

[Date of request for examination]

04.12.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3585219

[Date of registration]

13.08.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-77731

(P2002-77731A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl.⁷

識別記号

F I

テーマコード (参考)

H 0 4 N 5/335

H 0 4 N 5/335

E 4 M 1 1 8

H 0 1 L 27/146

5/232

Z 5 C 0 2 2

H 0 4 N 5/232

101:00

5 C 0 2 4

// H 0 4 N 101:00

H 0 1 L 27/14

A

審査請求 有 請求項の数 7 O L (全 8 頁)

(21) 出願番号

特願2000-256356 (P2000-256356)

(22) 出願日

平成12年8月25日 (2000.8.25)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 篠原 真人

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100065385

弁理士 山下 稔平

Fターム (参考) 4M118 AA10 AB01 BA09 CA03 DD10

DD12 FA06 FA34 FA42

5C022 AA13 AC42 AC69

5C024 CY47 GX02 GX15 GY32 GY38

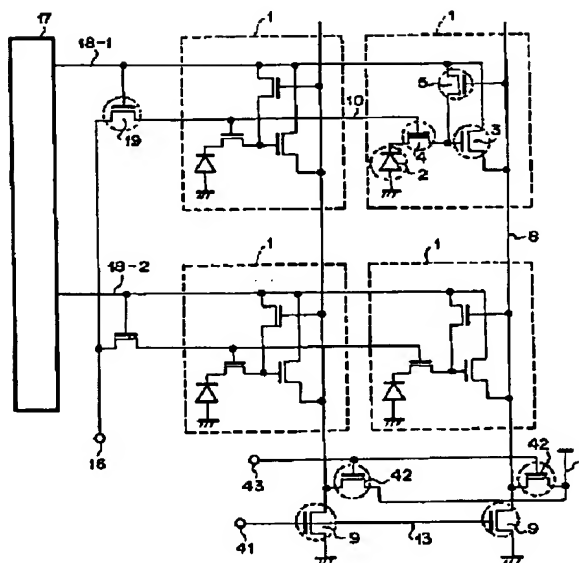
GY39 GY41 HX46

(54) 【発明の名称】 固体撮像装置および撮像システム

(57) 【要約】

【課題】 画素を構成するMOSトランジスタおよびゲート電位制御線の数を減らす。

【解決手段】 光電変換部2と、光電変換部からの信号を読み出す読み出し手段3と、読み出し手段の入力部をリセットするために、リセット信号を入力部に供給するためのリセット手段5とを含む画素と、読み出し手段3からの信号が読み出される出力線8とを有し、リセット手段5は、出力線8の信号レベルに応じて制御される。



【特許請求の範囲】

【請求項 1】 光電変換部と、前記光電変換部からの信号を読み出す読み出し手段と、前記読み出し手段の入力部をリセットするために、リセット信号を前記入力部に供給するためのリセット手段とを含む画素と、前記読み出し手段からの信号が読み出される出力線とを有し、前記リセット手段は、前記出力線の信号レベルに応じて制御されることを特徴とする固体撮像装置。

【請求項 2】 それぞれ、光電変換部と、前記光電変換部からの信号を読み出す読み出し手段と、前記読み出し手段の入力部をリセットするためのリセット手段とを含む、水平方向と垂直方向に配列された複数の画素を有し、前記読み出し手段を駆動させるための信号配線と、前記リセット手段を介して前記読み出し手段の入力部にリセット信号を供給するための信号配線とを共通にし、共通の前記信号配線は、水平方向の複数の画素毎に信号を独立に供給することを特徴とする固体撮像装置。

【請求項 3】 請求項 1 又は請求項 2 に記載の固体撮像装置において、前記読み出し手段の入力部をリセットするためのリセット電位は該読み出し手段に接続される電源配線から供給されることを特徴とする固体撮像装置。

【請求項 4】 請求項 1 又は請求項 2 に記載の固体撮像装置において、前記読み出し手段及び前記リセット手段はそれぞれ MOS 型トランジスタであることを特徴とする固体撮像装置。

【請求項 5】 請求項 1 ～ 4 のいずれかの請求項に記載の固体撮像装置において、前記光電変換部と前記読み出し手段の入力部との間に転送スイッチを備え、該光電変換部に蓄積された信号電荷は該転送スイッチを通して前記読み出し手段の入力部に転送されることを特徴とする固体撮像装置。

【請求項 6】 請求項 1 ～ 4 のいずれかの請求項に記載の固体撮像装置において、前記読み出し手段の入力部には複数の転送スイッチが接続され、各転送スイッチにより複数の光電変換部から独立に信号電荷が転送されることを特徴とする固体撮像装置。

【請求項 7】 請求項 1 ～ 6 のいずれかの請求項に記載の固体撮像装置と、該固体撮像装置へ光を結像する光学系と、該固体撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は固体撮像装置および撮像システムに係わり、特に光電変換部と、前記光電変換部からの信号を読み出す読み出し手段と、前記読み出し手段の入力部をリセットするために、リセット信号を前記入力部に供給するためのリセット手段とを含む画素を有する固体撮像装置および撮像システムに関するもの

である。

【0002】

【従来の技術】 従来、固体撮像装置としては、その SN 比の良さから CCD が多く使われている。しかし、一方ではその使い方の簡便さや消費電力の小ささを長所とするいわゆる増幅型固体撮像装置の開発も行なわれてきた。増幅型固体撮像装置とは、受光画素に蓄積された信号電荷を、画素部に備わったトランジスタの制御電極に導き、増幅された信号を主電極から出力するタイプのものであり、増幅用トランジスタとして SIT (静電誘導トランジスタ) を使った SIT 型イメージセンサ、パイポーラトランジスタを使った BASIS、制御電極が空乏化する JFET (接合型電界効果トランジスタ) を使った CMD、MOS トランジスタを使った CMOS センサなどがある。特に CMOS センサは、CMOS プロセスとのマッチングが良く周辺 CMOS 回路をオンチップ化できることから開発に力が注がれている。

【0003】 図 4 は、従来の CMOS イメージセンサを表わす回路図であり、同図において 1 は単位画素であって、簡単のため 2×2 画素としている。2 は光を受け信号電荷を蓄積するためのフォトダイオード、3 は信号電荷増幅用の MOS トランジスタ、4 はフォトダイオード 2 に蓄積された信号電荷を MOS トランジスタ 3 のゲート電極部に転送するための転送用 MOS トランジスタ、5 は MOS トランジスタ 3 のゲート電極電位をリセットするためのリセット用 MOS トランジスタ、6 は電源電位供給線であり、リセット用 MOS トランジスタ 5 のドレイン電極と増幅用 MOS トランジスタ 3 のドレイン電極は、共通に電源電位供給線 6 に接続されている。7 は出力画素を選択するための選択スイッチ用 MOS トランジスタ、8 は画素出力線であり、選択スイッチ用 MOS トランジスタ 7 がオン状態になると、増幅用 MOS トランジスタ 3 のソース電極と出力線 8 とが導通し、選択された画素の信号出力が出力線 8 に導かれる。9 は画素出力線 8 に定電流を供給するための定電流供給用 MOS トランジスタであり、選択された画素の選択スイッチ用 MOS トランジスタ 7 を通して増幅用 MOS トランジスタ 3 に負荷電流を供給し、増幅用 MOS トランジスタ 3 をソースフォロワとして動作させ、MOS トランジスタ 3 のゲート電位とある一定の電圧差を持つ電位が出力線 8 に表われるようにしている。

【0004】 また、10 は転送用 MOS トランジスタ 4 のゲート電位を制御するための転送制御線、11 はリセット用 MOS トランジスタ 5 のゲート電位を制御するためのリセット制御線、12 は選択用 MOS トランジスタ 7 のゲート電位を制御するための選択制御線、13 は MOS トランジスタ 9 が定電流供給源となるような飽和領域動作をするように MOS トランジスタ 9 のゲートに一定の電位を供給するための定電位供給線である。14 は転送制御線 10 に転送パルスを供給するためのパルス端

子、15はリセット制御線11にリセットパルスを供給するためのパルス端子、16は選択制御線12に選択パルスを供給するためのパルス端子、17は行列配置の画素の行を順次選択走査するための垂直走査回路、18は垂直走査回路17の出力線であって、18-1は第1行選択出力線、18-2は第2行選択出力線である。19は転送制御線10にパルス端子14からのパルスを導くためのスイッチ用MOSトランジスタ、20はリセット制御線11にパルス端子15からのパルスを導くためのスイッチ用MOSトランジスタ、21は選択制御線12にパルス端子16からのパルスを導くためのスイッチ用MOSトランジスタであって、MOSトランジスタ19、20、21のゲートは行選択出力線18に接続され、どの行の画素が駆動されるかは行選択出力線18の状態によって決まる。

【0005】また、22は画素からの出力読み出し回路であり、23は画素のリセット信号出力を保持するための容量、24は画素の光信号出力を保持するための容量、25は画素出力線8と容量23との導通をオンオフするためのスイッチ用MOSトランジスタ、26は画素出力線8と容量24との導通をオンオフするためのスイッチ用MOSトランジスタ、27は容量23に保持されたリセット出力が導かれるノイズ出力線、28は容量24に保持された光出力が導かれる信号出力線、29は容量23とノイズ出力線27との導通をオンオフするためのスイッチ用MOSトランジスタ、30は容量24と信号出力線28との導通をオンオフするためのスイッチ用MOSトランジスタ、31はノイズ出力線27の電位をリセットするためのノイズ出力線リセット用MOSトランジスタ、32は信号出力線28の電位をリセットするための信号出力線リセット用MOSトランジスタ、33はリセット用MOSトランジスタ31及び32のソース電極にリセット電位を供給するための電源端子、34は行列配置の画素の列毎に設けられた上記容量23、24を順次選択していくための水平走査回路であって、35-1は第1列を選択する出力線、35-2は第2列を選択する出力線であり、この水平走査回路34の出力線はスイッチ用MOSトランジスタ29、30に接続されている。また36はリセット用MOSトランジスタ31、32のゲートにパルスを印加するためのパルス供給端子、37、38は各々スイッチ用MOSトランジスタ25、26のゲートにパルスを印加するためのパルス供給端子、39はノイズ出力線27の電位と信号出力線28の電位との差電圧分を増幅して出力する差動アンプ、40は差動アンプ39の出力端子である。

【0006】次に図5のタイミングチャートを使い、図4のセンサの動作を説明する。なお図4で示されているMOSトランジスタはすべてN型とし、ゲート電位がHighのレベルでオン状態、Lowのレベルでオフ状態になるとする。図5におけるタイミングパルスを示す番

号は図4におけるパルス入力端子の番号と一致させている。

【0007】まず垂直走査回路17の動作によって行選択出力線18-1がHighレベルとなると画素行列の第1行の動作が可能となる。パルス端子16がHighレベルとなると画素の増幅用MOSトランジスタ3のソースが出力線8を通して定電流源9と接続することで画素のソースフォロウ出力が出力線8に出力される。そしてパルス端子15をHighレベルとすることで増幅用MOSトランジスタ3のゲート部がリセット用MOSトランジスタ5によってリセットされ、次にパルス供給端子37にHighパルスを印加した時、画素のリセット出力がMOSトランジスタ25を通して容量23に蓄積される。

【0008】次に端子14にHighパルスを印加することでフォトダイオード2に蓄積された信号電荷が転送用MOSトランジスタ4を通してMOSトランジスタ3のゲートに転送される。引き続き端子38にHighパルスを印加した時、画素のリセット出力に信号が上乗せされた出力がMOSトランジスタ26を通して容量24に蓄積される。画素のリセット出力は各画素のMOSトランジスタ3のしきい電圧のばらつきがあるためばらつきを生じる。よって容量23と容量24に蓄積された出力の差分がノイズのない純粋な信号となる。水平走査回路34を動かせば出力線35-1、35-2が順次Highとなり各列の容量23、24に蓄積された出力はそれぞれMOSトランジスタ29、30を通して水平出力線27、28に導かれる。出力線35-1、35-2のHighパルスが出力される前には端子36をHighレベルとしMOSトランジスタ31、32を通して水平出力線27、28をリセットしておく。水平出力線27、28に導かれた画素リセット出力及び画素リセットレベルに上乗せされた信号出力は差動アンプ39に入力され、リセットレベル分が差し引かれた、すなわちノイズのない画素信号が出力端子40から出力される。

【0009】

【発明が解決しようとする課題】しかし上記従来例ではひとつの画素を構成するMOSトランジスタおよび、制御線の数が多く、縮小画素を実現するのが困難であるという課題があった。すなわち、図4に示した従来例においては、1画素はフォトダイオード、電源線、画素出力線のほか4つのMOSトランジスタおよび3本の制御線を有しており、単純な構成であるCCDの画素と比べると縮小画素の実現は不利であった。

【0010】本発明の主たる目的は、CMOSセンサ等のXYアドレス型のセンサの画素を構成するトランジスタおよび制御線の数減らし、画素の縮小化を容易にすることにある。

【0011】

【課題を解決するための手段および作用】本発明の固体

撮像装置は、光電変換部と、前記光電変換部からの信号を読み出す読み出し手段と、前記読み出し手段の入力部をリセットするために、リセット信号を前記入力部に供給するためのリセット手段とを含む画素と、前記読み出し手段からの信号が読み出される出力線とを有し、前記リセット手段は、前記出力線の信号レベルに応じて制御されることを特徴とする。

【0012】また本発明の固体撮像装置は、それぞれ、光電変換部と、前記光電変換部からの信号を読み出す読み出し手段と、前記読み出し手段の入力部をリセットするためのリセット手段とを含む、水平方向と垂直方向に配列された複数の画素を有し、前記読み出し手段を駆動させるための信号配線と、前記リセット手段を介して前記読み出し手段の入力部にリセット信号を供給するための信号配線とを共通にし、共通の前記信号配線は、水平方向の複数の画素毎に信号を独立に供給することを特徴とする。

【0013】本発明について、図1の構成を例にとって説明する。

【0014】図1に示すように、本発明は、リセット手段となるリセット用MOSトランジスタ5のドレイン部に接続するリセット電位供給線を、読み出し手段となる増幅用MOSトランジスタ3のドレイン部に接続する電源供給線と共通化し、また画素出力線8をリセット用MOSトランジスタ5のゲートに接続し、行選択用のMOSトランジスタとそのゲート電位制御線およびリセット用MOSトランジスタのゲート電位制御線をなくすことを可能とするものである。

【0015】上記構成において、画素出力線はリセット制御線の役目を兼ねさせ、増幅用トランジスタのゲートを電源線電位にリセットする動作時、画素出力線の電位を制御し、リセット用MOSトランジスタをON、OFFする。また電源供給線は行毎独立に電位が変えられるようにし、上記リセット動作時に、非選択行のリセット電位供給線は増幅用トランジスタが非動作となるような電位、選択行の電源供給線は増幅用トランジスタが動作するよう電位に設定する。このような画素出力線および電源供給線の設定、制御により、従来のリセット用MOSトランジスタのゲート電位制御線、行選択用のMOSトランジスタおよびそのゲート電位制御線は不要となり、画素の縮小化が容易となる。

【0016】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

〔第1の実施例〕図1は本発明の第1の実施例を示す回路図である。本発明は画素構成および画素動作にかかわり、読み出し回路、水平走査系は図4に示した従来例と同じであるのでこの部分を省略し、ここでは、2×2画素固体撮像装置の画素配置部と垂直走査系、および画素出力線電位制御回路のみを示している。図1において、

図4と同じ部分については同じ番号を付し、説明を省略する。

【0017】図1において、41は画素ソースフォロワの定電流供給用MOSトランジスタ9のゲートに電位を供給し、定電流のON、OFF制御をおこなうための制御端子、42は画素出力線8の電位を制御するためのMOSトランジスタ、43はMOSトランジスタ42のゲート電位を制御するためのパルス入力端子である。また各列の画素出力線8はその列の画素のリセット用MOSトランジスタ5のゲートに接続されている。またリセット用MOSトランジスタ5のドレインと増幅用MOSトランジスタ3のドレインは共通に垂直シフトレジスタ（垂直走査回路）17の出力線と接続している。この垂直シフトレジスタの出力線18-1、18-2は各行の画素ソースフォロワの電源としての役割を担うため、大きな電流供給能力があるとする。

【0018】なお、図1に示す各MOSトランジスタは、MOSトランジスタ42以外はN型とし、ゲート電位がHighレベルの時にON、Lowレベルの時にOFFになるとする。MOSトランジスタ42はP型とし、ゲート電位がHighレベルの時にOFF、Lowレベルの時にONになるとする。

【0019】次に本実施例の動作について説明するが、本実施例の動作は、図4、図5で説明した従来例と比べて、1行の画素信号の読み出しを行う前のリセット動作に違いがあるだけである。このリセット動作は端子41および端子43をLowレベルとして、MOSトランジスタ9をOFF、P型MOSトランジスタ42をONとして、画素出力線8の電位をHighレベルとする。この時リセット用MOSトランジスタ5はON状態となるが、垂直シフトレジスタの出力に従い、選択された行の画素の増幅用MOSトランジスタ3のゲート電位はHighに、非選択行の画素の増幅用MOSトランジスタ3のゲート電位はLowにリセットされる。次にMOSトランジスタ9が定電流を流すように端子41の電位を設定、端子43電位をHighとしてMOSトランジスタ42をOFFにする。この状態においては選択行の画素ソースフォロワのみが動作し、画素のリセット出力が出力線8に読み出される。以下、読み出し回路においてリセット出力を蓄積、フォトダイオード2の信号電荷をMOSトランジスタ3のゲートへ転送、読み出し回路においてリセット+信号出力を蓄積、という一連の動作、駆動は図4、図5で説明した動作、駆動と同じである。

【0020】図1において、各行のリセット電位供給源には垂直シフトレジスタの出力を用いているが、電流供給能力の高いバッファ回路を通した出力を用いてもよい。また上記動作において、画素のリセットが終了し、選択された画素の信号が画素出力線に出力された時点でリセット電位供給線がHighレベルとなるように駆動回路を設定してもよい。この時、画素出力線の電位は低

く、非選択行の画素のMOSトランジスタ3が導通するほどMOSトランジスタ3のゲート電位が上がることはない。

【0021】以上説明した第1の実施例によって、画素を構成するMOSトランジスタ、制御線の数従来に比べて減るため、縮小画素の実現が容易となる。

〔第2の実施例〕図2は本発明の第2の実施例を示す回路図である。本発明は画素構成および画素動作にかかわり、読み出し回路、水平走査系は図4に示した従来例と同じであるのでこの部分を省略し、4行×2列の2次元固体撮像装置の画素配置部と垂直走査系、および画素出力線電位制御回路のみを示している。図2において、図1、図4と同じ部品については同じ番号を付し、説明を省略する。

【0022】図2において、44は列方向に隣接する2つのフォトダイオードを含む単位画素を示している。フォトダイオードは各々独立であるので、単位画素44は撮像装置としての画素2つ分に相当するが、上記2つのフォトダイオードに蓄積した信号電荷は共通のアンプ用MOSトランジスタ3のゲート部に転送される。各列の画素出力線8はその列の画素のリセット用MOSトランジスタ5のゲートに接続されているのは図1と同じである。リセット用MOSトランジスタ5のドレインと増幅用MOSトランジスタ3のドレインが共通に接続するのも図1と同じであるが、フォトダイオードの行列配置において2行につき1本のリセット兼電源供給線がある。18-1、18-2、18-3、18-4は垂直シフトレジスタ17の出力であり、それぞれ第1行目、第2行目、第3行目、第4行目のフォトダイオードを読み出すために選択する。45は論理和ゲートであって、垂直シフトレジスタの出力線2本が入力され、その出力線46は単位画素44のリセット兼電源供給線となり、選択されたフォトダイオードが属する単位画素の供給線46はHighレベルとなるが、電源供給用として十分な電流供給能力があるとする。

【0023】なお、図2のMOSトランジスタは、MOSトランジスタ9以外はN型とし、ゲート電位がHighレベルの時にON、Lowレベルの時にOFFになるとする。MOSトランジスタ9のみはP型とし、ゲート電位がHighレベルの時にOFF、Lowレベルの時にONになるとする。

【0024】次にこの実施例の動作であるが、選択されたMOSトランジスタ3のゲートをHigh電位でリセット、同時に選択されていないMOSトランジスタ3のゲートをLow電位でリセット、リセット出力読み出し、選択されたフォトダイオードの信号電荷転送、(リセット+信号)出力読み出しという一連の動作は実施例1と同じであり、実施例1と違うのは、ひとつの単位画素に2つのフォトダイオードの出力を割り当てられているため、ひとつの単位画素が2行連続して選択されると

いうことだけである。よって詳しい説明は省略する。

【0025】以上説明した第2の実施例においては、画素を構成するMOSトランジスタ、制御線の数従来に比べて、第1の実施例と比べてもさらに減るため、縮小画素の実現が容易となる。なお第2の実施例においては単位画素は2つのフォトダイオードを含むとしているが、2つ以上のフォトダイオードを含む構成にしても成り立つ。

【0026】なお上記第1の実施例、および第2の実施例におけるMOSトランジスタのN型、P型、および駆動パルスの極性をそれぞれ逆にしてもよい。

【0027】次に上記第1及び第2の実施例の固体撮像装置を用いた撮像システムについて説明する。図3に基づいて、本発明の固体撮像素子をスチルカメラに適用した場合の一実施例について詳述する。

【0028】図3は本発明の固体撮像素子を“スチルビデオカメラ”に適用した場合を示すブロック図である。

【0029】図3において、101はレンズのプロテクトとメインスイッチを兼ねるバリア、102は被写体の光学像を固体撮像素子104に結像させるレンズ、103はレンズ102を通った光量を可変するための絞り、104はレンズ102で結像された被写体を画像信号として取り込むための固体撮像素子、106は固体撮像素子104より出力される画像信号のアナログ-デジタル変換を行うA/D変換器、107はA/D変換器106より出力された画像データに各種の補正を行ったりデータを圧縮する信号処理部、108は固体撮像素子104、撮像信号処理回路105、A/D変換器106、信号処理部107に、各種タイミング信号を出力するタイミング発生部、109は各種演算とスチルビデオカメラ全体を制御する全体制御・演算部、110は画像データを一時的に記憶するためのメモリ部、111は記録媒体に記録または読み出しを行うためのインターフェース部、112は画像データの記録または読み出しを行うための半導体メモリ等の着脱可能な記録媒体、113は外部コンピュータ等と通信するためのインターフェース部である。

【0030】次に、前述の構成における撮影時のスチルビデオカメラの動作について、説明する。

【0031】バリア101がオープンされるとメイン電源がオンされ、次にコントロール系の電源がオンし、さらに、A/D変換器106などの撮像系回路の電源がオンされる。

【0032】それから、露光量を制御するために、全体制御・演算部109は絞り103を開放にし、固体撮像素子4から出力された信号はA/D変換器106で変換された後、信号処理部107に入力される。そのデータを基に露出の演算を全体制御・演算部109で行う。

【0033】この測光を行った結果により明るさを判断し、その結果に応じて全体制御・演算部109は絞りを

10

20

30

40

50

制御する。

【0034】次に、固体撮像素子104から出力された信号をもとに、高周波成分を取り出し被写体までの距離の演算を全体制御・演算部109で行う。その後、レンズを駆動して合焦か否かを判断し、合焦していないと判断したときは、再びレンズを駆動し測距を行う。

【0035】そして、合焦が確認された後に本露光が始まる。露光が終了すると、固体撮像素子104から出力された画像信号はA/D変換器106でA-D変換され、信号処理部107を通り全体制御・演算部109によりメモリ部110に書き込まれる。その後、メモリ部110に蓄積されたデータは、全体制御・演算部109の制御により記録媒体制御I/F部を通り半導体メモリ等の着脱可能な記録媒体112に記録される。又外部I/F部113を通り直接コンピュータ等に入力して画像の加工を行ってもよい。

【0036】

【発明の効果】以上説明したように本発明によれば、画素を構成する構成部材、例えばCMOSセンサではMOSトランジスタ、ゲート電位制御線の数従来に比べて減らすことができ、画素の縮小化が容易となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す回路図である。

【図2】本発明の第2の実施例を示す回路図である。

【図3】本発明の固体撮像装置をスチルビデオカメラに適用した場合を示すブロック図である。

【図4】従来例の固体撮像装置を示す図である。

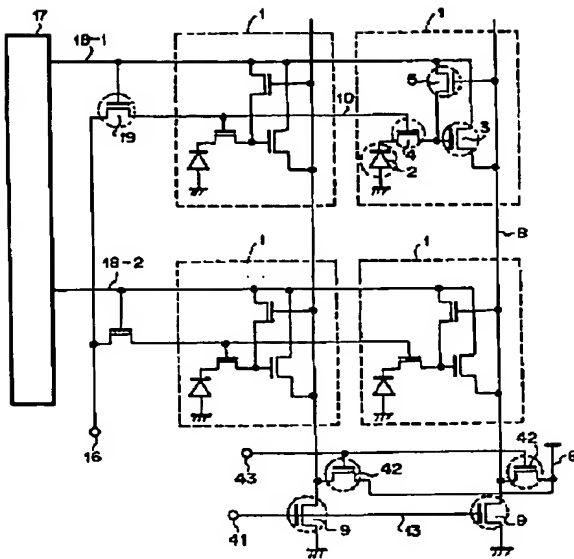
【図5】図4の固体撮像装置のタイミングチャート図である。

【符号の説明】

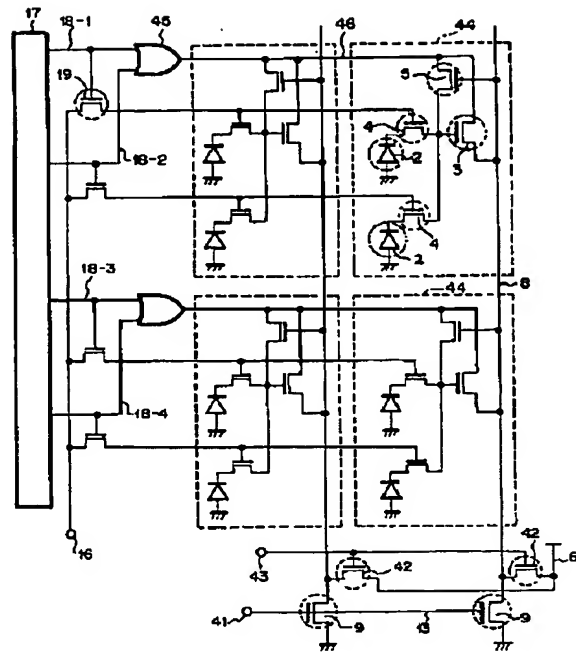
- 1 画素
- 2 フォトダイオード
- 3 MOSトランジスタ
- 4 MOSトランジスタ
- 5 MOSトランジスタ
- 6 電源線
- 7 MOSトランジスタ
- 8 画素出力線
- 9 MOSトランジスタ

- 10 ゲート制御線
- 11 ゲート制御線
- 12 ゲート制御線
- 13 ゲート制御線
- 14 パルス入力端子
- 15 パルス入力端子
- 16 パルス入力端子
- 17 垂直シフトレジスタ
- 18-1, 18-2, 18-3, 18-4 垂直シフトレジスタ出力線
- 19 MOSトランジスタ
- 20 MOSトランジスタ
- 21 MOSトランジスタ
- 22 読み出し回路
- 23 蓄積容量
- 24 蓄積容量
- 25 MOSトランジスタ
- 26 MOSトランジスタ
- 27 水平出力線
- 28 水平出力線
- 29 MOSトランジスタ
- 30 MOSトランジスタ
- 31 MOSトランジスタ
- 32 MOSトランジスタ
- 33 電位供給端子
- 34 水平シフトレジスタ
- 35-1, 35-2 水平シフトレジスタの出力線
- 36 パルス入力端子
- 37 パルス入力端子
- 38 パルス入力端子
- 39 差動アンプ
- 40 出力端子
- 41 ゲート電位入力端子
- 42 MOSトランジスタ
- 43 パルス入力端子
- 44 フォトダイオード共通単位画素
- 45 論理和ゲート
- 46 論理和ゲート45の出力（画素のリセット兼電源供給線）

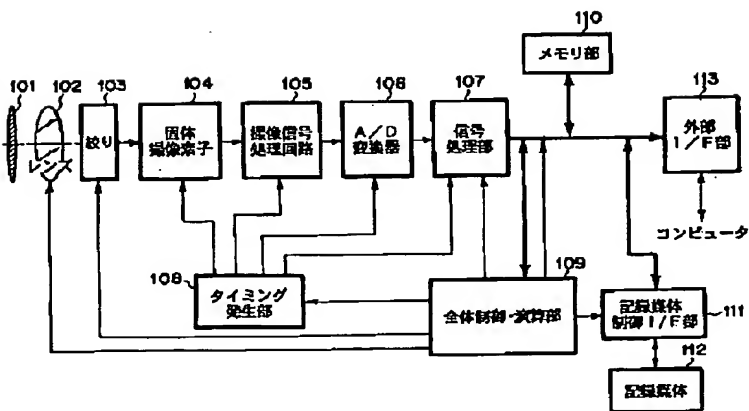
【図1】



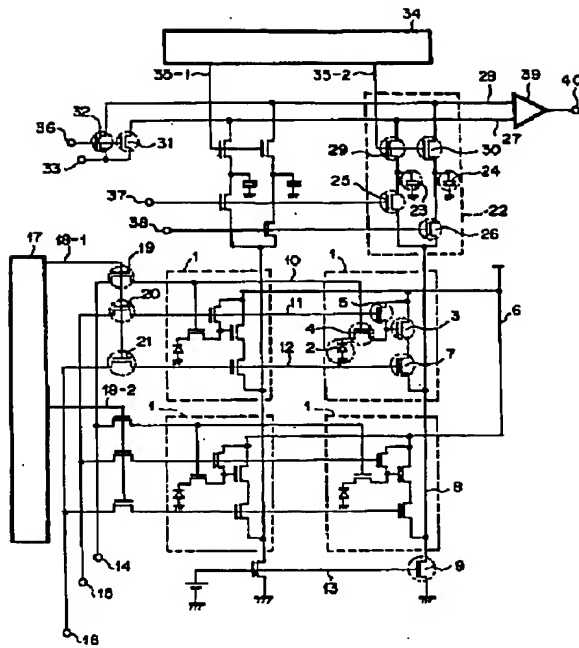
【図2】



【図3】



【図4】



【図5】

